

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 60237871 A

(43) Date of publication of application: 26.11.85

(51) Int. Cl

H02P 1/22

H02P 7/288

(21) Application number: 59093181

(71) Applicant: TOSHIBA CORP

(22) Date of filing: 10.05.84

(72) Inventor: MATSUMURA KEN

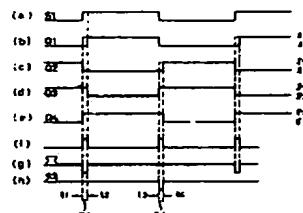
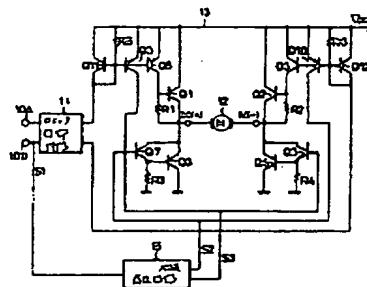
(54) CURRENT SWITCHING CONTROL CIRCUIT

(57) Abstract:

PURPOSE: To prevent a passing current from flowing by providing a pulse generator for regulating the OFF time of a transistor.

CONSTITUTION: When transistors Q1, Q4 are controlled to be turned from ON to OFF and transistors Q2, Q3 are controlled to be turned from OFF to ON by a logic controller 11, the transistor Q1 requires a period T1 due to the storage effect from a timing  $t_1$  until becoming complete OFF state. At this time, a signal S2 is applied from a pulse generator 15 to the base of a transistor Q7, and the ON timing of the transistor Q3 is delayed by the period T1. Accordingly, it can prevent the transistors Q1, Q3 from turning simultaneously ON to flow a passing current.

COPYRIGHT: (C)1985,JPO&Japio



⑨ 日本国特許庁 (JP)

⑩ 特許出願公報

⑪ 公開特許公報 (A)

昭60-237871

⑫ Int.CI.

H 02 P 1/22  
7/288

識別記号

厅内整理番号

7304-5H  
C-7315-5H

⑬ 公開 昭和60年(1985)11月26日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 電流切換制御回路

⑮ 特願 昭59-93181

⑯ 出願 昭59(1984)5月10日

⑰ 発明者 松村謙 川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内  
⑱ 出願人 株式会社東芝 川崎市幸区堀川町72番地  
⑲ 代理人 弁理士 鈴江武彦 外2名

明細書

1. 発明の名称

電流切換制御回路

2. 特許請求の範囲

第1, 第2の端子間に電流を流すことにより駆動される負荷と、第1の電源端子と前記第1の端子間にそれぞれコレクタ・エミッタ電流路が接続される第1, 第2のトランジスタと、前記第1の端子と第2の電源端子間に及び前記第2の端子と前記第2の電源端子間にそれぞれコレクタ・エミッタ電流路が接続される第3, 第4のトランジスタと、前記第1, 第4のトランジスタによる第1の組と前記第2, 第3のトランジスタによる第2の組とのバイアスが各組で互いに順方向, 逆方向となるように任意に切換えるバイアス手段と、前記第3, 第4のトランジスタがオフからオンに移行するのをそれぞれ遅延するための制御バルスを各第3, 第4のトランジスタのバイアス回路へ与える手段とを具備し

たことを特徴とする電流切換制御回路。

3. 発明の詳細な説明

(発明の技術分野)

この発明は電流切換制御回路に関し、たとえば直流モータの駆動回路として用いられる。

(発明の技術的背景)

従来の直流モータの駆動制御回路は、第1回路に示すように構成され、ロッジング制御回路ノンの出力によって、モータ1/2の回転停止、フォワード、リバースモードを作ることができる。モータ1/2の両端子、M(H), M(-)のレベル、ロッジング制御回路ノンの入力端子10A, 10Bに与えられる制御信号レベル及び各モードの真理値表は、次のようになる。

10A	10B	M(H)	M(-)	モード
H	H	H	L	フォワード
H	L	L	H	リバース
L	H/L	ハイインピーダンス		ストップ

Hは、ハイレベル、Lはローレベルを意味する。今、モータノンが正転されるものとすると、トランジスタQ11がオンし、これとカレントミラー回路を形成するトランジスタQ2, Q5がオンする。トランジスタQ5は、トランジスタQ1にバイアスを与える。このトランジスタQ1をオシトる。またトランジスタQ9は、データントン接続されたトランジスタQ8, Q4にバイアスを与える。これらをオシする。これによつて、モータノンは、端子M(H)からM(L)方向へ電流が流れ正転駆動される。次に、モータノンが逆転されるものとすると、トランジスタQ12, Q10, Q6がオンされる。これによつて、トランジスタQ6は、トランジスタQ2にバイアスを与える。また、トランジスタQ10はトランジスタQ4, Q3にバイアスを与えることになる。よつてモータノンは、端子M(H)からM(H)方向へ電流が流れ逆転する。次にモータ停止時には、トランジスタQ11, Q12と共にオフされる。これによつて、トランジスタQ1

～Q4はバイアスが与えられず、モータノンには駆動電流は流れない。

上記の回路において、抵抗R1～R6は、リード電流による換動作の防止と、トランジスタのスイッチング動作のオフ時間(オンからオフへの移行時間)の短縮、つまり蓄積効果を減少させるように入られている。

ここで、モータノンの正転、反転時における電子電流I<sub>OL</sub>を求めてみる。

I<sub>OL</sub>(正転)

$$= \frac{V_{cc} - (V_{ce(sat)} + V_{ce(sat)05} + V_{ce(sat)04} + V_{ce(sat)02})}{R_L}$$

..... (1)

I<sub>OL</sub>(逆転)

$$= \frac{V_{cc} - (V_{ce02} + V_{ce(sat)05} + V_{ce03} + V_{ce(sat)07})}{R_L}$$

..... (2)

但し、R<sub>L</sub>: モータの抵抗分

V<sub>cc</sub>: 電源ラインノンの電圧

である。この(1)(2)式の電流は、モータノンを充分に駆動できる電流値となるように、各トランジスタQ1～Q4のベースには充分なベース電流が与えられる。

#### (背景技術の問題点)

上記の回路において、モータノンの正転又は逆転状態の定常時は、(1)(2)式で示す出力電流が流れ。しかし、動作モードが切りかわる場合には、電流が過度的に切りかわる。

特に、トランジスタQ1又は、Q2がオンからオフに切りかわるまでの時間、いわゆるオフ時間では、トランジスタQ1とQ2の絶縁、又はトランジスタQ2とQ4の絶縁に貫通電流が流れという問題がある。

今、トランジスタQ2, Q4がオン、トランジスタQ1, Q4オフ状態(逆転モード)から、トランジスタQ1, Q4がオン、トランジスタQ2, Q4がオフ状態に切りかわるものとする。

この過渡期間において、トランジスタQ2のオフ移行が遅れると、トランジスタQ2, Q4間に貫通電流が流れてしまう。この貫通電流は、(1)(2)式で示した電流とは異なり、その経路に電流を制限する素子は何も存在しない。従つて、貫通電流によつて、出力トランジスタあるいは周辺回路が破壊されてしまうことがある。

上記の貫通電流を生じるスイッチング遷移は、オン状態からオフ状態に移行する素子で生じることが大部分であり、これは蓄積効果に起因している。(オフ状態からオン状態に移行する、いわゆるオン時間は、直済モータを駆動する出力トランジスタQ1～Q4の場合は大電流を必要とするので非常に短い)。

さらに、上記蓄積効果は、出力トランジスタQ1, Q4を考えると、これをバイアスしているトランジスタQ3, Q4の動作電流により差がある。

動作電流I<sub>O05</sub>, I<sub>O09</sub>は、

$$I_{CoS} = \frac{I_{oL}}{L_{FeQ1}} \quad \dots \dots \quad (3)$$

$$I_{CoS} = \frac{I_{oL}}{L_{FeQ1} + L_{FeQ2}} \quad \dots \dots \quad (4)$$

$$\text{であり}, I_{CoS} / I_{CoG} = L_{FeQ2} \quad \dots \dots \quad (5)$$

が得られる。ここで  $L_{FeQ1} = L_{FeQ2}$  である。

よって、トランジスタ  $Q_5$  に流れる電流は、トランジスタ  $Q_2$  に流れる電流の  $L_{FeQ2}$  倍の電流が必要である。このことは、トランジスタ  $Q_5$  はトランジスタ  $Q_2$  に比較して、かなり大きい面積の形状のものを用いなければならぬことを意味し、蓄積効果がその分だけ影響を及ぼすことになる。従つて、第1図の回路において、トランジスタ  $Q_1$ ,  $Q_3$  の絶縁又はトランジスタ  $Q_2$ ,  $Q_4$  の絶縁がオシする場合の、スイッチング遅れは、トランジスタ  $Q_1$ ,  $Q_3$  のオフ時間に上ることが多い。

ルス発生回路  $T_5$  が設けられているところである。このルス発生回路  $T_5$  は、たとえば入力端子  $I_{oL}$  の信号  $S_1$  を入力として、第1, 第2の出力信号  $S_2$ ,  $S_3$  を出力し、たとえば、微分回路、波形整形回路によつて構成されている。

第3図は、第2図の各トランジスタの動作モードを示すための動作波形図である。同図(1)は、入力端子  $I_{oL}$  の信号  $S_1$  である。また同図(1)-(4)は、トランジスタ  $Q_1$  ~  $Q_4$  のたとえばコレクタ電圧を示し、ハイレベルがオフ状態、ローレベルがオン状態を意味する。

今、図示のタイミング(1)は、トランジスタ  $Q_1$ ,  $Q_3$  がオン状態からオフ状態へ、トランジスタ  $Q_2$ ,  $Q_4$  がオフ状態からオン状態へ制御されたときを示している。これは、トランジスタ  $Q_5$ ,  $Q_6$ ,  $Q_{11}$ , トランジスタ  $Q_8$ ,  $Q_{10}$ ,  $Q_{12}$  がロジック制御回路  $T_1$  によつて制御されることによつて得られる。

トランジスタ  $Q_1$  は、タイミング(1)から元

#### (発明の目的)

この発明は上記の準備に鑑みてなされたもので、直流モータのように第1, 第2の取子間に電流を流すことにより、正転又は逆転される制御機器に対し、前記電流を電源から直接接地側へ倒路したいわゆる貫通電流が流れるのを防止し得る電流切換制御回路を提供することを目的とする。

#### (発明の概要)

この発明では、第2図に示すように、トランジスタ  $Q_1$ ,  $Q_3$  のオフ時間調整するバルス発生回路  $T_5$  を設けることにより、貫通電流が流れることを防止できるようにしたものである。

#### (発明の実施例)

以下この発明の実施例を図面を参照して説明する。

第2図はこの発明の一実施例であり、第1図と同一部は同じ符号を付して説明する。この発明の回路は、基本的な動作は、第1図の回路と同じであるが、第1図の回路と異なる点は、バ

ルス発生回路  $T_5$  が設けられているところである。このバルス発生回路  $T_5$  は、たとえば入力端子  $I_{oL}$  の信号  $S_1$  を入力として、第1, 第2の出力信号  $S_2$ ,  $S_3$  を出力し、たとえば、微分回路、波形整形回路によつて構成されている。

全なオフ状態になるまでに、蓄積効果によって期間  $T_1$  を要する。この期間  $T_1$  は、第3図(1)に示すように、トランジスタ  $Q_1$ ,  $Q_3$  が同時にオンできる期間である。しかしこの発明によると、バルス発生回路  $T_5$  から、第3図(1)に示すように、トランジスタ  $Q_2$  のベースに対して、出力信号  $S_2$  が与えられている。この出力信号  $S_2$  は、トランジスタ  $Q_2$  が、タイミング(1)ですぐにオンするのを遮断させるバルスを含み、これによつて、期間  $T_1$  分遅延される。そして、トランジスタ  $Q_1$  が充分にオフ状態(タイミング(2))となつたときに、始めてこのトランジスタ  $Q_3$  はオンする。従つて、トランジスタ  $Q_1$ ,  $Q_3$  が同時にオンして貫通電流が流れることを防止できる。

また、トランジスタ  $Q_2$ ,  $Q_4$  がオン状態、トランジスタ  $Q_1$ ,  $Q_3$  がオフ状態のとき、これらが反転する場合も同様に、今度はトランジスタ  $Q_1$  のオン移行時間が遅延される。このときの動作波形は、第3図のタイミング(1)~

図1に示すように、期間T1分だけ、つまりトランジスタQ2が元分にオフするまで、トランジスタQ1のオン信号が信号S1によって遮断される。よって、端子M(-)側における直通電流も防止される。

上記の説明では、直流モータの回転方向を切りかえる素戔回路として説明しているが、直流モータのみに駆動されるものではなく、回転方向を切換える入力回路を有した各種の負荷に適用できる。

#### (発明の効果)

上記したように、この発明によれば、トランジスタQ1, Q2がそれぞれオンからオフへ移行する間にその動作を遮断させるパルスを与える手段を設けることにより、トランジスタQ1, Q2の遮断効果によるオフ時間遅れを補償し、正確な動作を得ることができる。また、直通電流が無いことから、周辺回路及び出力トランジスタの安全が保証され、信頼性を得るとともに、周辺回路の設計も自由度が拡大される。

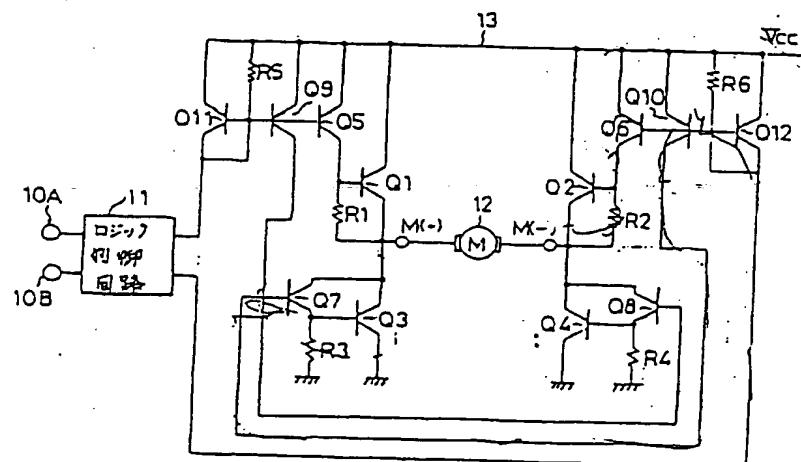
#### 4. 回路の簡単な説明

第1図は従来の直流モータ駆動制御回路を示す回路図、第2図はこの発明の一実施例を示す回路図、第3図は第2図の回路の動作信号波形図である。

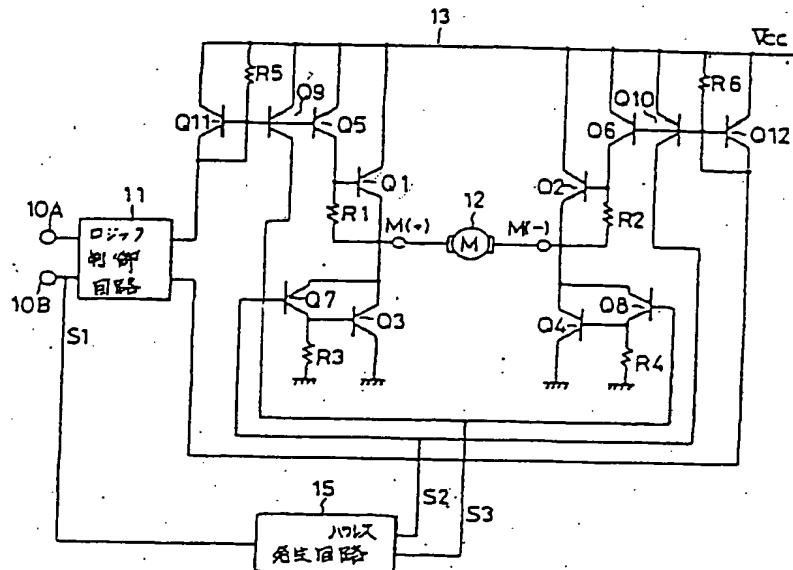
Q1～Q12…トランジスタ、12…モータ、13…パルス発生回路。

出願人代理人 江 武 康

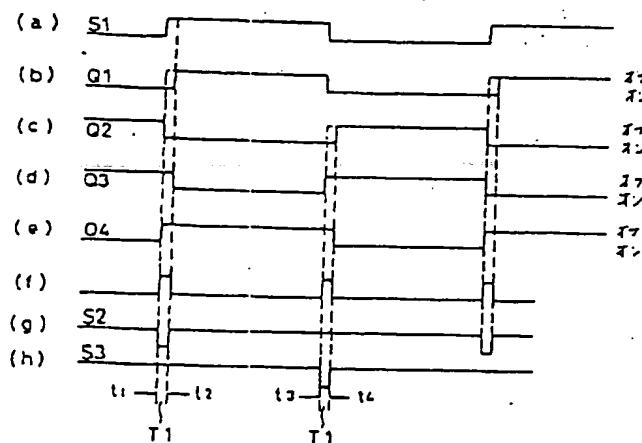
第1図



第2図



第3図



## 手続補正書

昭和 60.4.4日

特許庁長官 沢賀 学 認

## 1. 事件の表示

特許昭59-93182号

## 2. 発明の名称

電流切換制御回路

## 3. 補正をする者

事件との関係 特許出願人

(307) 株式会社 東芝

## 4. 代理人

〒106 東京都港区虎ノ門1丁目26番5号 第17番ビル

氏名 (5847) 井上士 鈴 江 武 産業労働省

## 5. 目次補正

## 6. 補正の対象

明細書

## 7. 稼正の内容

(1) 明細書第2頁の表を下記のように訂正する。

10A	10B	M(H)	M(H)	モード
H	L	H	L	フォワード
H	H	L	H	リバース
L	H/L	ハイインピーダンス	ストップ	

(2) 明細書第4頁第1行目に「Q. ははペイアス」とあるのを「Q. はペイアス」と訂正する。

(3) 明細書第5頁第1行目に「過度的」とあるのを「過度的」と訂正する。

(4) 明細書第6頁第1行目に「過度的」とあるのを「過度的」と訂正する。

(5) 明細書第6頁第5行目に「果は」とあるのを「果子は」と訂正する。